

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000228499 A

(43) Date of publication of application: 15.08.00

(51) Int. Cl

H01L 27/10

H01L 21/28

H01L 21/768

H01L 27/108

H01L 21/8242

(21) Application number: 11343912

(22) Date of filing: 02.12.99

(30) Priority: 03.12.98 JP 10343896

(71) Applicant:

MATSUSHITA ELECTRONICS
INDUSTRY CORP

(72) Inventor:

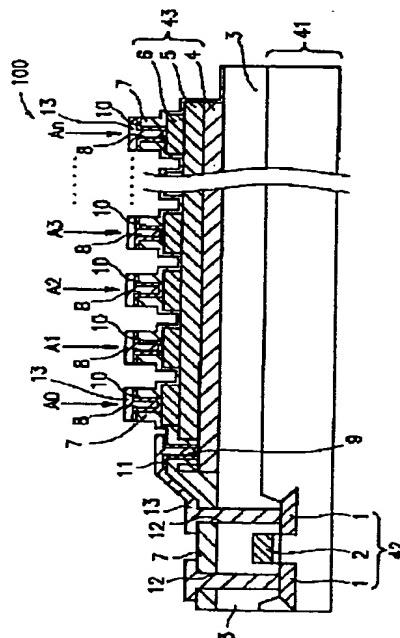
NAGANO YOSHIHISA
TANAKA KEISUKE
NASU TORU

(54) SEMICONDUCTOR MEMORY AND FABRICATION
THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress catalytic reaction to hydrogen on the surface of platinum.

SOLUTION: A semiconductor memory 100 comprises a semiconductor substrate 41 on which transistors 42 are integrated, a first protective insulation film 3, one or more capacitive memory 43 for storing data, and a second protective insulation film 7, wherein the capacitive memory 43 comprises a lower electrode 4, a capacitive film 5 and an upper electrode 6 and the second protective insulation film 7 has a first contact hole 8 communicating with the upper electrode 6 and a second contact hole 9 communicating with the lower electrode 4. The semiconductor memory 100 further comprises hydrogen barrier layers 10, 11 formed in the first and second contact holes 8, 9 wherein the hydrogen barrier layers 10, 11 are formed such that the upper and lower electrodes 6, 4 are not exposed.



COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-228499

(P2000-228499A)

(43)公開日 平成12年8月15日(2000.8.15)

(51)Int.Cl.⁷
H 01 L 27/10
21/28
21/768
27/108

識別記号
4 5 1
3 0 1

F I
H 01 L 27/10
21/28
21/90
27/10

4 5 1
3 0 1 R
3 0 1 Z
A
6 2 1 Z

審査請求 有 請求項の数 7 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-343912
(22)出願日 平成11年12月2日(1999.12.2)
(31)優先権主張番号 特願平10-343896
(32)優先日 平成10年12月3日(1998.12.3)
(33)優先権主張国 日本(J P)

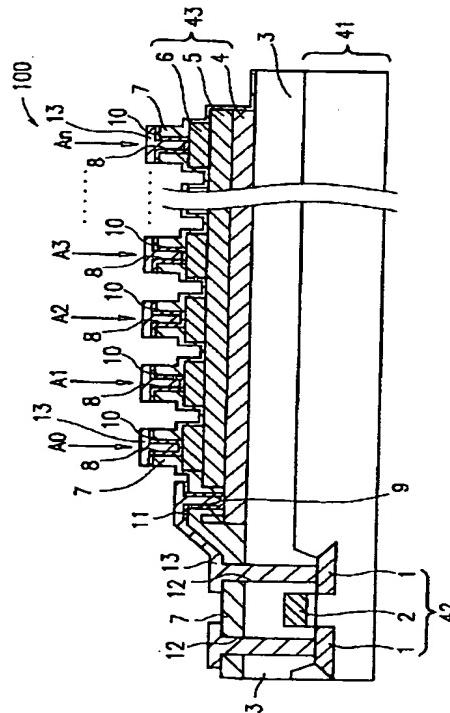
(71)出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72)発明者 長野 能久
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 田中 圭介
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 那須 徹
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100078282
弁理士 山本 秀策

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【課題】 白金表面での水素に対する触媒反応を抑制する。

【解決手段】 半導体記憶装置100は、トランジスタ42が集積化された半導体基板41と、第1の保護絶縁膜3と、1個以上のデータ記憶用容量素子35と、第2の保護絶縁膜7とを備え、容量素子35は、下部電極4と、容量膜5と、上部電極6とを含み、第2の保護絶縁膜7は、上部電極6に通ずる第1コンタクトホール8と下部電極4に通ずる第2コンタクトホール9とを有し、半導体記憶装置100は、第1および第2コンタクトホール8、9に形成される水素バリア層10、11をさらに備え、水素バリア層10、11は、上部電極6および下部電極4が露出しないように形成される。



【特許請求の範囲】

【請求項1】トランジスタが集積化された半導体基板と、前記半導体基板を覆うように形成される第1の保護絶縁膜と、前記第1の保護絶縁膜上に形成される1個以上のデータ記憶用容量素子と、前記第1の保護絶縁膜および前記容量素子を覆うように形成される第2の保護絶縁膜とを備える半導体記憶装置であって、前記容量素子は、前記第1の保護絶縁膜上に形成される下部電極と、前記下部電極上に形成される容量膜と、前記容量膜上に形成される上部電極とを含み、前記容量膜は、絶縁性金属酸化物を含み、前記第2の保護絶縁膜は、前記上部電極に通ずる第1コンタクトホールと前記下部電極に通ずる第2コンタクトホールとを有し、前記半導体記憶装置は、前記第1および第2コンタクトホールに形成される水素バリア層をさらに備え、前記水素バリア層は、前記上部電極および前記下部電極が露出しないように形成され、前記半導体記憶装置は、前記トランジスタと前記容量素子とを電気的に接続する配線層をさらに備える半導体記憶装置。

【請求項2】前記水素バリア層は、水素に対する触媒反応がなく、前記水素バリア層は、導電性の材料を含む、請求項1記載の半導体記憶装置。

【請求項3】前記水素バリア層は、窒化チタン、窒化タンタル、酸化イリジウム、酸化ルテニウムおよび酸化ロジウムの少なくとも1つを含む、請求項1または請求項2記載の半導体記憶装置。

【請求項4】前記絶縁性金属酸化物は、ビスマス層状ペロブスカイト構造を有する強誘電体、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウムおよび5酸化タンタルのいずれかを含む、請求項1記載の半導体記憶装置。

【請求項5】前記上部電極および前記下部電極は、白金、イリジウム、ルテニウム、ロジウムの少なくとも1つを含む、請求項1記載の半導体記憶装置。

【請求項6】トランジスタが集積化された半導体基板を覆うように第1の保護絶縁膜を形成する第1工程と、前記第1の保護絶縁膜上に下部電極、絶縁性金属酸化物からなる容量膜および上部電極からなるデータ記憶用容量素子を形成する第2工程と、

前記第1の保護絶縁膜および前記容量素子を覆う第2の保護絶縁膜を形成する第3工程と、

前記第2の保護絶縁膜に前記上部電極に通ずる第1コンタクトホールと前記下部電極に通ずる第2コンタクトホールとを形成する第4工程と、

前記第1コンタクトホールと前記第2コンタクトホールとに、前記上部電極と前記下部電極とが露出しないよう水素バリア層を形成する第5工程と、

前記第2の保護絶縁膜および前記水素バリア層上にレジストを形成し、前記レジストに前記トランジスタに通ずる第3コンタクトホールを形成する第6工程と、前記容量素子と前記トランジスタとを電気的に接続する配線層を形成する第7工程とを包含する半導体記憶装置の製造方法。

10 【請求項7】前記6工程は、前記レジストをO₂プラズマによりアッシングする工程をさらに包含する、請求項6記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置およびその製造方法に関し、特に絶縁性金属酸化物を容量膜とした半導体記憶装置およびその製造方法に関するものである。

【0002】

20 【従来の技術】近年デジタル技術の進展に伴い、大容量のデータを処理、保存する傾向が推進される中で電子機器が一段と高度化し、使用される半導体装置もその半導体素子の微細化が急速に進んできている。

【0003】それに伴ってダイナミックRAMの高集積化を実現するために、従来の珪素酸化物または窒化物の代わりに高誘電体を容量絶縁膜として用いる技術が広く研究開発されている。

【0004】さらに従来にない低動作電圧かつ高速書き込み読み出し可能な不揮発性RAMの実用化を目指し、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。

【0005】これらの半導体記憶装置を実現するための最重要課題は、容量素子を特性劣化なくCMOS集積回路に集積化できるプロセスを開発することである。

【0006】以下、従来の半導体記憶装置500およびその製造方法について、図6を用いて説明する。

【0007】図6に示すように、半導体記憶装置500は、ソース領域およびドレイン領域21、ゲート電極22からなるトランジスタ34が集積化された半導体基板33を備える。半導体基板33の全面を覆うように第1の保護絶縁膜23が形成されている。

【0008】第1の保護絶縁膜23上に、下部電極24、絶縁性金属酸化物からなる容量膜25および上部電極26からなるデータ記憶用容量素子35が形成されている。

【0009】データ記憶用容量素子35を覆うように水素バリア層27が形成されている。第1の保護絶縁膜23および水素バリア層27の全面を覆うように第2の保護絶縁膜28が形成されている。

50 【0010】第2の保護絶縁膜28と水素バリア層27

とをエッチングすることにより、上部電極 26 に通ずるコンタクトホール 29 および下部電極 24 に通ずるコンタクトホール 30 が形成される。第1の保護絶縁膜 23 と第2の保護絶縁膜 28 とをエッチングすることにより、トランジスタへのコンタクトホール 31 が形成される。最後に、トランジスタ 34 および容量素子 35 を接続する配線層 32 が所定の領域に形成される。

[0011]

【発明が解決しようとする課題】以上のように従来の半導体記憶装置500では、水素バリア層27が容量素子35を覆うように形成され、かつ、この水素バリア層27が配線層としての機能を有するとともに水素バリア層27は水素に対してバリアとなる材料を用いて形成されるので、配線層32を形成した後のプロセスでは、水素バリア層27は絶縁性金属酸化物からなる容量膜25の還元反応に伴う容量素子35の特性劣化を抑制することができる。

【0012】しかしながら、配線層32を形成する前のプロセスにおいて上記の従来技術では解決できない新たな課題を、発明者は見いだした。この課題について図7を用いて説明する。

【0013】まず、図7(a)に示すように、上部電極26に用いられる白金電極上に形成された水素バリア層27と第2の保護絶縁膜28とにコンタクトホール29を形成する際に、第2の保護絶縁膜28上にレジスト61が形成される。

【0014】次に、図7(b)に示すように、レジスト61を酸素プラズマ中で除去する。この場合、レジスト61の除去中に発生するOH基62の一部が上部電極26の表面26Aでの触媒反応により分解され、活性な水素63が生成される(図6(c))。

【0015】図7(c)に示すように、この活性な水素63は、上部電極26中を拡散する。その結果、図7(d)に示すように、容量素子35に水素63が拡散する。即ち、活性な水素63が、上部電極26へのコンタクトホール29および下部電極24へのコンタクトホール30から容量膜25へ拡散し、絶縁性金属酸化物である容量膜25を還元させてしまい、容量素子35の特性劣化を引き起こす。

【0016】この水素63に対する触媒反応は、図8に示すような白金電極（上部電極26、下部電極24）が露出するトランジスタ34へのコンタクトホール31のエッチング後の酸素プラズマによるレジスト61の除去工程で必ず起こる。

【0017】図8に示す除去工程で生ずる、上部電極26の表面26A、下部電極24の表面24Aで活性な水素63が生成される触媒反応を、従来の半導体記憶装置500では抑制することができない。このため、絶縁性金属酸化物からなる容量膜25の還元反応に伴う容量素子35の特性劣化を生じるという課題を有していた。

【0018】本発明は上記の課題を解決するものであり、簡単な構成により、白金表面での水素に対する触媒反応を抑制することができ、絶縁性金属酸化物からなる容量膜の還元反応に伴う容量素子の特性劣化を抑制するため、優れた特性を有する半導体記憶装置およびその製造方法を実現することを目的とする。

[0019]

【課題を解決するための手段】本発明に係る半導体記憶装置は、トランジスタが集積化された半導体基板と、前記半導体基板を覆うように形成される第1の保護絶縁膜と、前記第1の保護絶縁膜上に形成される1個以上のデータ記憶用容量素子と、前記第1の保護絶縁膜および前記容量素子を覆うように形成される第2の保護絶縁膜とを備える半導体記憶装置であって、前記容量素子は、前記第1の保護絶縁膜上に形成される下部電極と、前記下部電極上に形成される容量膜と、前記容量膜上に形成される上部電極とを含み、前記容量膜は、絶縁性金属酸化物を含み、前記第2の保護絶縁膜は、前記上部電極に通ずる第1コンタクトホールと前記下部電極に通ずる第2コンタクトホールとを有し、前記半導体記憶装置は、前記第1および第2コンタクトホールに形成される水素バリア層をさらに備え、前記水素バリア層は、前記上部電極および前記下部電極が露出しないように形成され、前記半導体記憶装置は、前記トランジスタと前記容量素子とを電気的に接続する配線層をさらに備え、そのことにより上記目的が達成される。

【0020】前記水素バリア層は、水素に対する触媒反応がなく、前記水素バリア層は、導電性の材料を含んでよい。

【0021】前記水素バリア層は、窒化チタン、窒化タンタル、酸化イリジウム、酸化ルテニウムおよび酸化ロジウムの少なくとも1つを含んでもよい。

【0022】前記絶縁性金属酸化物は、ビスマス層状ペロブスカイト構造を有する強誘電体、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウムおよび5酸化チタルのいずれかを含んでもよい。

【0023】前記上部電極および前記下部電極は、白金、イリジウム、ルテニウム、ロジウムの少なくとも1つを含んでよい。

記下部電極とが露出しないように水素バリア層を形成する第5工程と、前記第2の保護絶縁膜および前記水素バリア層上にレジストを形成し、前記レジストに前記トランジスタに通ずる第3コンタクトホールを形成する第6工程と、前記容量素子と前記トランジスタとを電気的に接続する配線層を形成する第7工程とを包含し、そのことにより上記目的が達成される。

【0025】前記6工程は、前記レジストをO₂プラズマによりアッシングする工程を包含してもよい。

【0026】本発明によれば、上部電極および下部電極へのコンタクトホール内を水素バリア層で完全に覆うため、酸素プラズマによるレジスト除去時に上部電極および下部電極表面での水素に対する触媒反応を抑制でき、容量膜の還元反応による容量素子の特性劣化を防止できる。

【0027】また本発明によれば、上部電極および下部電極表面での水素触媒反応を抑制でき、かつ上部電極および下部電極と配線層とが接続する部分での良好な導電性を確保することができる。

【0028】さらに本発明によれば、上部電極および下部電極へのコンタクトホール形成後の酸素プラズマによるレジスト除去時に、上部電極および下部電極表面で水素に対する触媒反応が起こっても、その後の酸素雰囲気での熱処理により容量膜を再度酸化できるとともに、トランジスタへのコンタクトホール形成後の酸素プラズマによるレジスト除去時には、上部電極および下部電極表面を露出させないように水素バリア層が形成されているので、上部電極および下部電極表面で水素に対する触媒反応が起こらず、容量膜が還元されることはない。このため、優れた特性を有する容量素子を実現することができる。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について、図1、図2および図3を用いて説明する。図1は実施の形態における半導体記憶装置100の要部断面図である。図2は、実施の形態における半導体記憶装置100の製造工程図である。図3は、実施の形態における半導体記憶装置100の製造方法を示すフローチャートである。

【0030】図1を参照して、実施の形態における半導体記憶装置100を説明する。半導体記憶装置100は、トランジスタ42が集積化された半導体基板41と、半導体基板41を覆うように形成される第1の保護絶縁膜3と、第1の保護絶縁膜3上に形成されるデータ記憶用容量素子43と、第1の保護絶縁膜3および容量素子43を覆うように形成される第2の保護絶縁膜7とを備える。

【0031】容量素子43は、第1の保護絶縁膜3上に形成される下部電極4と、下部電極4上に形成される容量膜5と、容量膜5上に形成される上部電極6とを含

む。容量膜5は、絶縁性金属酸化物を含む。

【0032】第2の保護絶縁膜7は、上部電極6に通ずるコンタクトホール8と下部電極4に通ずるコンタクトホール9とを有する。

【0033】半導体記憶装置100は、コンタクトホール8、9にそれぞれ形成される水素バリア層10、11をさらに備える。水素バリア層10は、上部電極6が露出しないように形成される。水素バリア層11は、下部電極4が露出しないように形成される。

【0034】半導体記憶装置100は、トランジスタ42と容量素子43とを電気的に接続する配線層13をさらに備える。トランジスタ42は、ソース領域またはドレイン領域1およびゲート2を含む。

【0035】図2および図3を参照して、半導体記憶装置100の製造方法を説明する。

【0036】図2(a)を参照して、ソース領域またはドレイン領域1およびゲート2からなるトランジスタ42が集積化された半導体基板41上の全面を覆うように第1の保護絶縁膜3を形成する(S301)。

【0037】次に、第1の保護絶縁膜3上にスパッタ法により形成された白金からなる下部電極4、有機金属分解法やスパッタ法により形成されたSrB₁₂(Ta_{1-x}Nb_x)O₉からなる容量膜5およびスパッタ法により形成された白金からなる上部電極6を形成する。次に下部電極4、容量膜5および上部電極6をドライエッティング法により所定の形状に加工し、データ記憶用容量素子43を形成する(S302)。

【0038】次に、第1の保護絶縁膜3および容量素子43の全面を覆うように第2の保護絶縁膜7を形成する(S303)。次に、第2の保護絶縁膜7上全面にレジスト(図示せず)を形成し、そのレジストに上部電極6および下部電極4に通ずるコンタクトホール8、9を形成するためのマスクパターン(図示せず)をリソグラフィ法により形成する。次に、第2の保護絶縁膜7をマスクパターンにしたがってドライエッティング法により加工し、上部電極6へのコンタクトホール8および下部電極4へのコンタクトホール9を形成する(S304)。

【0039】次に、酸素プラズマによりレジストをアッシング除去し、続いて酸素雰囲気下で650℃の熱処理を行う(S305)。

【0040】次に、図2(b)を参照して、水素バリア層となる窒化チタンを基板41全面にスパッタ法により形成する。コンタクトホール8内の上部電極6およびコンタクトホール9内の下部電極4が露出しないようにリソグラフィ法によりマスクパターン(図示せず)を形成する。続いてドライエッティング法により窒化チタンを所定の形状に加工することにより、コンタクトホール8に形成された窒化チタンからなる水素バリア層10およびコンタクトホール9に形成された窒化チタンからなる水素バリア層11を形成する(S306)。

【0041】次に、図2(c)を参照して、第2の保護絶縁膜7および水素バリア層10、11上の全面にレジスト(図示せず)を形成し、レジストにトランジスタ42に通ずるコンタクトホール12を形成するためのマスクパターン(図示せず)をリソグラフィ法により形成する。次に、第1の保護絶縁膜3および第2の保護絶縁膜7をマスクパターンにしたがってドライエッティング法により加工し、トランジスタ42に通ずるコンタクトホール12を形成する(S307)。

【0042】続いて、酸素プラズマによりレジストをアッシング除去する(S308)。最後に、容量素子43およびトランジスタ42を電気的に接続するために、図面の下側からチタン、窒化チタン、アルミニウム、窒化チタンを順次積層した配線層13を形成する(S309)。

【0043】以上のように本実施の形態によれば、上部電極6および下部電極4へのコンタクトホール8、9の形成後の酸素プラズマによるレジストのアッシング除去時に、上部電極6および下部電極4の表面で水素に対する触媒反応が起こっても、アッシング除去後の酸素雰囲気での熱処理により容量膜5を再度酸化することができる。

【0044】さらに本実施の形態によれば、トランジスタに通ずるコンタクトホール12の形成後の酸素プラズマによるレジストのアッシング除去時には、上部電極6および下部電極4の表面を露出させないように水素バリア層10、11がコンタクトホールを完全に覆うように形成されるため、上部電極6および下部電極4の表面で水素に対する触媒反応が起こることはなく、容量膜5が還元されることがない。

【0045】ここで、従来例における半導体記憶装置500と本発明における半導体記憶装置100との特性比較を行った結果を述べる。

【0046】図4は、図1の断面図に示した各アドレス番号(横軸)に対応した容量素子43の残留分極(縦軸)を示したものである。なお、アドレス番号は、下部電極4に通ずるコンタクトホール9に近いところから、アドレス番号A0、A1、A2というようにアドレス番号Anと定義した(図1参照)。アドレス番号A0に対応する容量素子43の部分を容量素子部分A0、アドレス番号A1に対応する部分を容量素子部分A1、以下同様に称する。

【0047】グラフ中の線51は、従来の半導体記憶装置500の残留分極、線52は、上部電極6に通ずるコンタクトホール8上にのみ窒化チタンからなる水素バリア層10を設けた半導体記憶装置の残留分極、および線53は、本発明の半導体記憶装置の残留分極である。

【0048】線51で表される半導体記憶装置500の場合、全容量素子部分A0～Anに渡り残留分極は約5μC/cm²程度であり、特性劣化が著しいことを示

している。これは、上部電極6および下部電極4の表面で水素に対する触媒反応が起こり、容量膜5が還元されるためである。

【0049】線52で表される半導体記憶装置の場合、下部電極4に通ずるコンタクトホール9に近い容量素子部分A0およびA1において、残留分極の低下による特性劣化が確認された。これは、コンタクトホール9内の下部電極4の表面での水素に対する触媒反応により、コンタクトホール9から水素が紙面の横方向に拡散し、容量素子部分A0およびA1まで達した結果、容量膜5の還元が起ったことに起因している。

【0050】線53で表される本実施の形態の半導体記憶装置100の場合、すなわち、コンタクトホール8内上部電極6の表面およびコンタクトホール9内下部電極4の表面に窒化チタンからなる水素バリア層10、11を設けた場合には、全アドレス番号に対応する容量素子43とも残留分極の低下による特性劣化は見られなかった。これは、上部電極6および下部電極4の表面での水素に対する触媒反応を完全に防止することができたため、容量膜5の還元が起ららないからである。

【0051】図5は、本実施の形態の半導体記憶装置100と従来の半導体記憶装置500との不良ビット発生率を示したものである。横軸は、図1の断面図に示した各アドレス番号に対応する容量素子部分であり、縦軸は、不良ビット発生率を表す。

【0052】グラフ中の線54は、従来の半導体記憶装置500の不良ビット発生率、線55は、上部電極6に通ずるコンタクトホール8上にのみ窒化チタンからなる水素バリア層10を設けた半導体記憶装置の不良ビット発生率、および線56は、本発明の半導体記憶装置の不良ビット発生率である。

【0053】線54で表される従来例における半導体記憶装置500の場合は、残留分極の低下による特性劣化が著しいため、全アドレスとも不良率100%となつた。次に、線55で表される半導体記憶装置の場合、下部電極4へのコンタクトホール9に近い容量素子部分A0およびA1のみ不良が発生した。最後に、線56で表される本実施の形態の半導体記憶装置100の場合、全容量素子部分とも不良率0%を達成できた。

【0054】すなわち、この図5に示す結果は、図4で示したような容量素子の特性を反映したものになっており、本実施の形態によれば、半導体記憶装置の特性を著しく向上させることができることがわかる。

【0055】図4および図5の実験結果で示すように、本実施の形態の半導体記憶装置100によれば、優れた特性を有する容量素子43を含んだ半導体記憶装置を実現できる。

【0056】なお、本実施の形態の半導体記憶装置100の製造工程において、アッシング除去後の熱処理は酸素中で650℃で行ったが、本発明はこれに限定されな

い。温度が600°Cから850°Cの範囲であれば、容量膜5の酸化が可能するために、同様の効果が得られる。

【0057】なお、本実施の形態では、水素バリア層10、11として、窒化チタンを用いたが、本発明はこれに限定されない。水素に対する触媒反応がなく、かつ導電性の材料である窒化タンタル、酸化イリジウム、酸化ルテニウムおよび酸化ロジウムのいずれか、またはこれらの組み合わせによる積層膜を用いれば、同様の効果が得られる。

【0058】なお、本実施の形態では、容量膜5として、SrBi₂(Ta_{1-x}Nb_x)O₉を用いたが、本発明はこれに限定されない。これ以外のビスマス層状ペロブスカイト構造を有する強誘電体、チタン酸ジルコン鉛、チタン酸ストロンチウムバリウムまたは5酸化タンタルを用いれば、同様の効果が得られる。

【0059】なお、本実施の形態では、上部電極6および下部電極4として白金を用いたが、本発明はこれに限定されない。イリジウム、ルテニウム、ロジウムのいずれか、またはこれらの組み合わせによる積層膜を含むものであれば、同様の効果が得られる。

【0060】

【発明の効果】以上のように本発明によれば、半導体記憶装置の製造工程において、酸素プラズマでのレジスト除去時に発生する上部電極および下部電極の表面での水素に対する触媒反応を抑制できるため、容量膜の還元反応による特性劣化をなくすことができ、容易な方法で、より優れた特性を有する半導体記憶装置を得ることができる。

【図面の簡単な説明】

10

【図1】実施の形態における半導体記憶装置の部分断面図。

【図2】実施の形態における半導体記憶装置の製造工程を説明する断面図。

【図3】実施の形態における半導体記憶装置の製造方法のフローチャート。

【図4】実施の形態における容量素子の電気特性を示す図。

10

【図5】実施の形態における半導体記憶装置の電気特性を示す図。

【図6】従来の半導体記憶装置の部分断面図。

【図7】従来の半導体記憶装置の製造方法における不良発生メカニズムの説明図。

【図8】従来の半導体記憶装置の製造方法における不良発生が起こる工程での半導体記憶装置の断面図。

【符号の説明】

1 トランジスタのソースまたはドレイン領域

2 トランジスタのゲート

3 第1の保護絶縁膜

20

4 下部電極

5 容量膜

6 上部電極

7 第2の保護絶縁膜

8 上部電極へのコンタクトホール

9 下部電極へのコンタクトホール

10 上部電極へのコンタクトホール内の水素バリア層

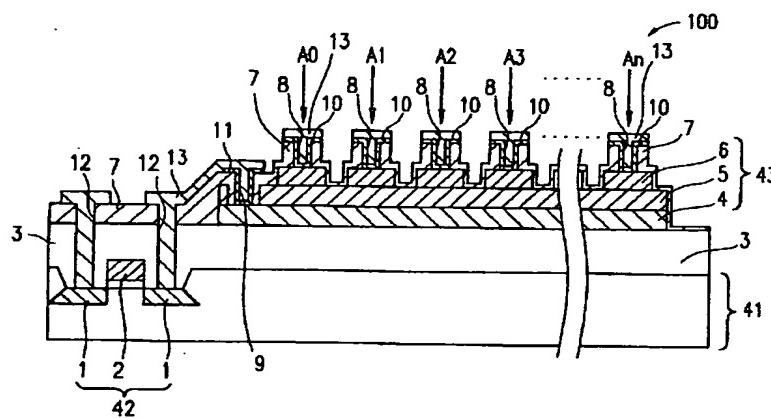
11 下部電極へのコンタクトホール内の水素バリア層

12 トランジスタへのコンタクトホール

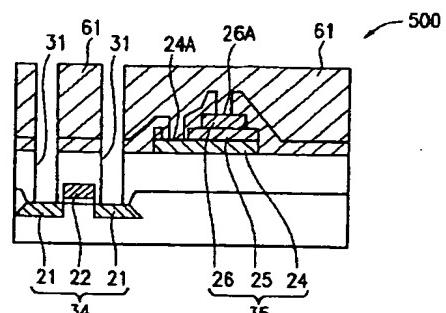
13 配線層

30

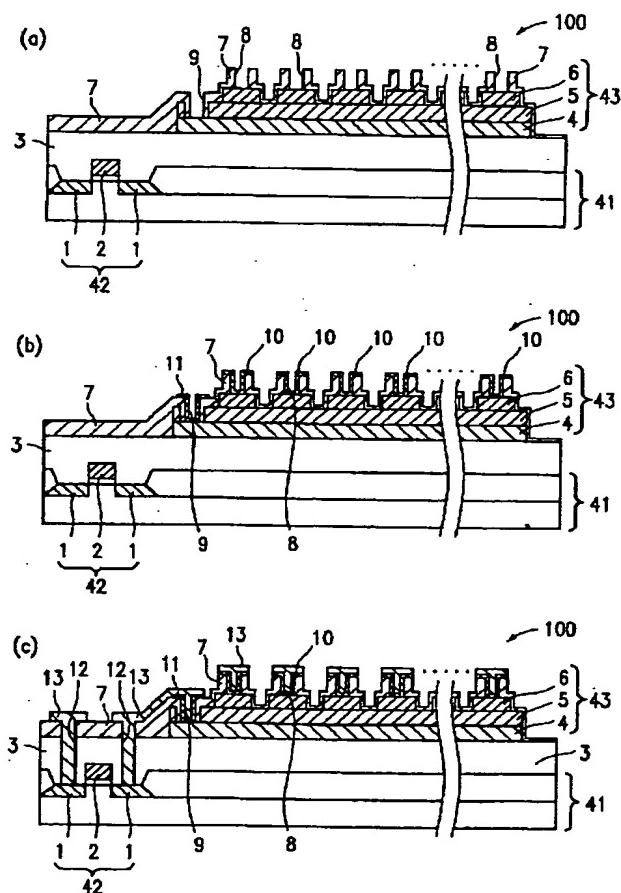
【図1】



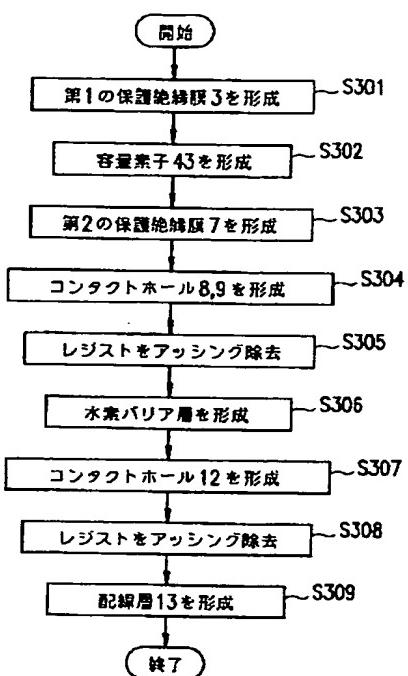
【図8】



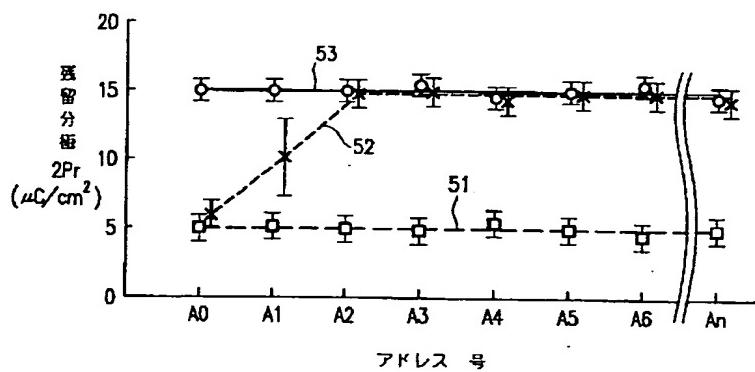
【図2】



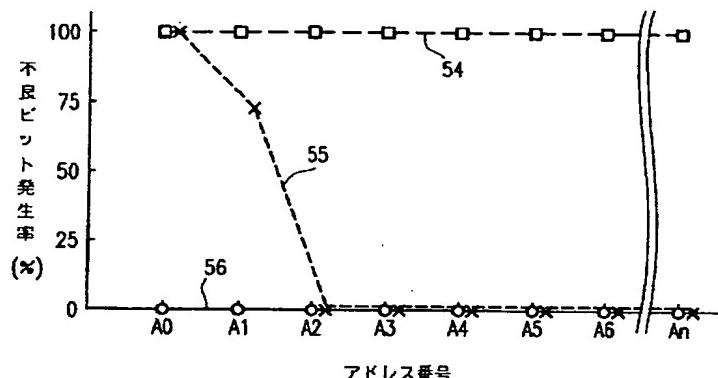
【図3】



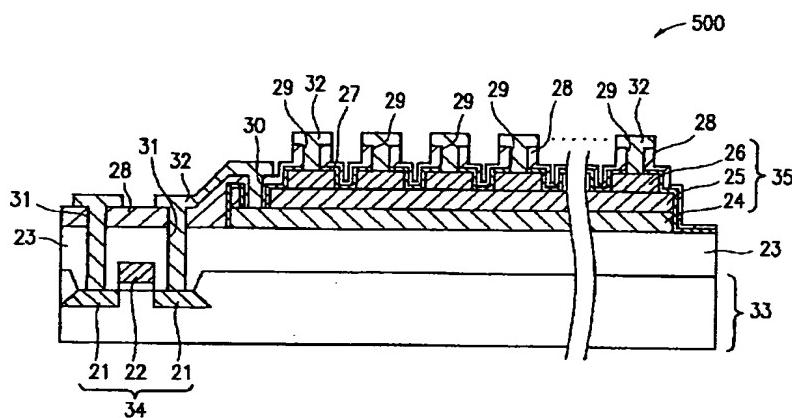
【図4】



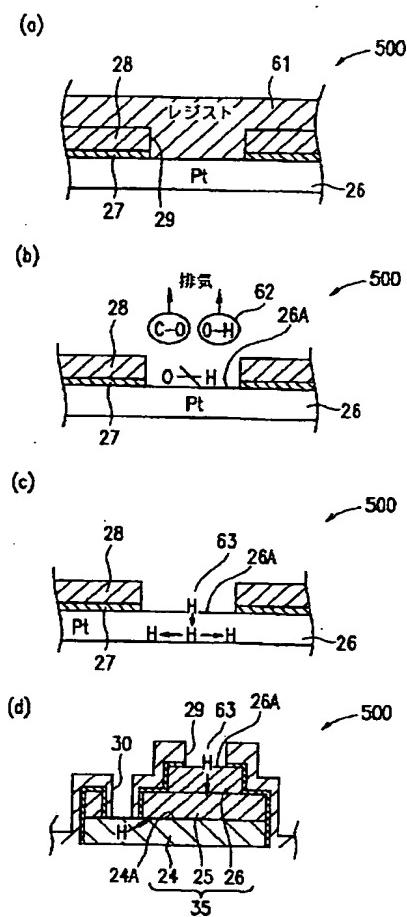
【図5】



【図6】



【図7】



フロントページの続き

(51) Int.CI.⁷
H O 1 L 21/8242

識別記号

F I
H O 1 L 27/10

テマコト(参考)

6 5 1